

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-222735

(43)Date of publication of application : 30.08.1996

(51)Int.Cl.

H01L 29/78

(21)Application number : 07-029051

(71)Applicant : FUJII ELECTRIC CO LTD

(22)Date of filing : 17.02.1995

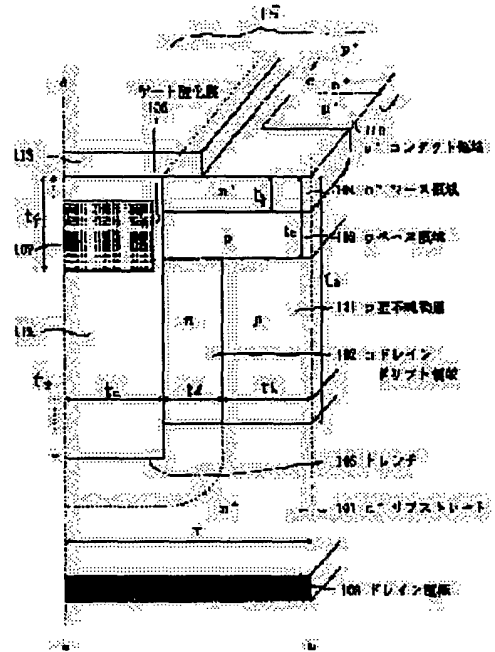
(72)Inventor : FUJISHIMA NAOTO

(54) VERTICAL TRENCH MISFET AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PURPOSE: To cut down the resistance component in a drift region by a method wherein the first conductivity drain drift region in the higher impurity concentration than that equalizing voltage with the element breakdown voltage assuming the diffusion junctions are formed on the sidewall surface layer of a trench.

CONSTITUTION: A drain drift region 102 e.g. in the surface impurity concentration of $1.1 \times 10^{17} \text{cm}^{-3}$ and the diffusion depth of $0.3 \mu\text{m}$ is formed on the inner surface of a trench 105 on an epitaxial substrate surface. In the off state, a depletion layer extends from the pn junctions between p base region 103/n drain drift region 2, between the n drain drift region 102/p impurity layer 111 as well as between the p impurity layer 111/n+ substrate 101 so as to fill up the n drain drift region 102 and the p impurity layer 111 with the depletion layer at the lower voltage than the element breakdown voltage. Thus, the positive and negative fixed charges in both regions are balanced to relieve the field for realizing a high breakdown voltage. Accordingly, the ON resistance in the n drain drift region 102 can be cut down while sustaining the high breakdown voltage.



LEGAL STATUS

[Date of request for examination]

05.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3291957

[Date of registration]

29.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222735

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9055-4M 9055-4M	H 0 1 L 29/78	6 5 2 G 6 5 3 B

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21) 出願番号 特願平7-29051

(22) 出願日 平成7年(1995)2月17日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 藤島 直人

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

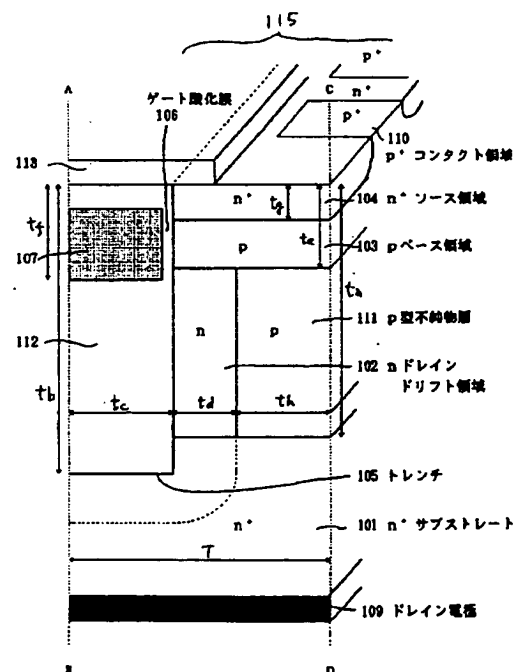
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 縦型トレンチMISFETおよびその製造方法

(57) 【要約】

【目的】縦型MISFETのオン抵抗の低減を図る。

【構成】 n^+ サブストレート101上に p 型不純物層111を積層した基板の表面からトレンチ105を形成し、残された島部115の上部に p ベース領域103、その表面層に n^+ ソース領域104を形成し、トレンチ105の側壁に n ドレインドリフト領域102を形成する。トレンチ105の内面に露出した p ベース領域103の表面上にゲート酸化膜106を介してゲート電極107を設け、 n^+ ソース領域104上にソース電極108、 n^+ サブストレート101の裏面にドレイン電極109を設けた構造とする。 n ドレインドリフト領域102が p 型不純物層111に接しているため、同じ耐圧クラスの均一不純物濃度の場合よりその不純物濃度を高くすることができ、オン抵抗が低減できる。また、 n ドレインドリフト領域102が高不純物濃度であるため、オン抵抗の温度特性が改善され、高温でのオン抵抗が低減できる。



1

-【特許請求の範囲】

【請求項 1】第一導電型半導体上に第二導電型不純物層を持つ半導体基板の表面から設けられた第一導電型半導体に達するトレンチと、残された島部の上部に形成された第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に形成された第一導電型ソース領域と、第二導電型ベース領域の露出表面上にゲート酸化膜を介して設けられたゲート電極と、第一導電型ソース領域と第二導電型ベース領域の表面に共通に接触するソース電極と、第一導電型半導体の裏面に接触するドレイン電極とを有するものにおいて、トレンチの側壁表面層に、拡散型接合を仮定した場合の降伏電圧が素子耐圧とほぼ等しくなる不純物濃度より高不純物濃度の厚さの薄い第一導電型ドレインドリフト領域を有することを特徴とする縦型トレンチ MISFET。

【請求項 2】第一導電型半導体の表面上に形成された第二導電型不純物層と、その第二導電型不純物層の上に形成された第二導電型不純物層より不純物濃度の高い第二導電型ベース層と、その第二導電型ベース層の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から設けられた第一導電型半導体に達するトレンチと、そのトレンチ内面に露出した第二導電型不純物層の表面層に形成された第一導電型ドレインドリフト領域と、トレンチの内面に露出した第二導電型ベース層の表面に対向してゲート絶縁膜を介してトレンチ内に設けられたゲート電極と、トレンチ内のその他の部分を充填する酸化膜と、第一導電型ソース領域の表面と第二導電型ベース層の表面露出部とに共通に接触するソース電極と、第一導電型半導体の裏面に接触するドレイン電極とを有することを特徴とする請求項 1 に記載の縦型トレンチ MISFET。

【請求項 3】第一導電型半導体基板の表面上に形成された第二導電型不純物層と、その第二導電型不純物層の表面から設けられた第一導電型半導体基板に達するトレンチと、そのトレンチ内面に露出した第二導電型不純物層の表面層に形成された第一導電型側壁領域と、第二導電型不純物層の表面層と第一導電型側壁領域の表面層の一部にわたって形成された第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に形成された第一導電型ソース領域と、第一導電型ソース領域と第一導電型側壁領域に挟まれた第二導電型ベース領域の表面上にゲート絶縁膜を介して形成されたゲート電極と、第一導電型ソース領域の表面と第二導電型ベース領域の表面露出部とに共通に接触するソース電極と、第一導電型半導体基板の裏面に接触するドレイン電極と、トレンチ内のその他の部分を充填する酸化膜とを有することを特徴とする請求項 1 に記載の縦型トレンチ MISFET。

【請求項 4】第一導電型半導体基板の表面上に形成された第二導電型不純物層と、その第二導電型不純物層の上に形成された第一導電型不純物層と、その第一導電型不

2

純物層の表面層の一部に形成された第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に形成された第一導電型ソース領域と、第一導電型ソース領域の表面から設けられた第一導電型半導体基板に達するトレンチと、そのトレンチ内面に露出した第二導電型不純物層の表面層に形成された第一導電型側壁領域と、第一導電型ソース領域と第一導電型不純物層に挟まれた第二導電型ベース領域の表面上にゲート絶縁膜を介して形成されたゲート電極と、トレンチ内面に露出した第二導電型ベース領域の表面および第一導電型ソース領域の表面に共通に接触するソース電極と、トレンチ内のその他の部分を充填する酸化膜と、第一導電型半導体基板の裏面に接触するドレイン電極とを有することを特徴とする請求項 1 に記載の縦型トレンチ MISFET。

【請求項 5】第一導電型半導体上に第一導電型不純物層を持つ半導体基板の表面から設けられた第一導電型半導体に達するトレンチと、残された島部の上部に形成された第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に形成された第一導電型ソース領域と、第二導電型ベース領域の露出表面上にゲート酸化膜を介して設けられたゲート電極と、第一導電型ソース領域と第二導電型ベース領域の表面に共通に接触するソース電極と、第一導電型半導体の裏面に接触するドレイン電極とを有するものにおいて、トレンチの側壁表面層に、第二導電型側壁領域を有し、第一導電型不純物層の不純物濃度が、拡散型接合を仮定した場合の降伏電圧が素子耐圧とほぼ等しくなる不純物濃度より高不純物濃度であること特徴とする縦型トレンチ MISFET。

【請求項 6】第一導電型半導体の表面上に形成された第一導電型ドレインドリフト層と、その第一導電型ドレインドリフト層の上に形成された第二導電型ベース層と、その第二導電型ベース層の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から設けられた第一導電型半導体に達するトレンチと、そのトレンチ内面に露出した第一導電型ドレインドリフト層の下部の表面層に形成された第二導電型側壁領域と、トレンチ内面に露出した第一導電型ドレインドリフト層の上部の表面とトレンチの内面に露出した第二導電型ベース層の表面とに対向してゲート絶縁膜を介してトレンチ内に設けられたゲート電極と、トレンチ内のその他の部分を充填する酸化膜と、第一導電型ソース領域の表面と第二導電型ベース層の表面露出部とに共通に接触するソース電極と、第一導電型半導体の裏面に接触するドレイン電極とを有することを特徴とする請求項 5 に記載の縦型トレンチ MISFET。

【請求項 7】第一導電型半導体の表面上に形成された第一導電型不純物層と、その第一導電型不純物層の表面層の一部に形成された第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に形成された第一導電型ソース領域と、その第一導電型不純物層の表面から設

3

けられた第一導電型半導体に達するトレンチと、そのトレンチ内面に露出した第一導電型不純物層の露出表面層に形成された第二導電型側壁領域と、第一導電型ソース領域と第一導電型不純物層に挟まれた第二導電型ベース領域の表面上にゲート絶縁膜を介して形成されたゲート電極と、第一導電型ソース領域の表面と第二導電型ベース領域の表面露出部とに共通に接触するソース電極と、第一導電型半導体の裏面に接触するドレイン電極と、トレンチ内のその他の部分を充填する酸化膜とを有することを特徴とする請求項 5 に記載の縦型トレンチ MISFET。

【請求項 8】第一導電型半導体の表面上に形成された第一導電型不純物層と、その第一導電型不純物層の表面層の一部に形成された第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から設けられた第一導電型半導体に達するトレンチと、そのトレンチ内面に露出した第一導電型不純物層の表面層に形成された第二導電型側壁領域と、第一導電型ソース領域と第一導電型不純物層に挟まれた第二導電型ベース領域の表面上にゲート絶縁膜を介して形成されたゲート電極と、トレンチ内面に露出した第二導電型ベース領域の表面および第一導電型ソース領域の表面に共通に接触するソース電極と、トレンチ内のその他の部分を充填する酸化膜と、第一導電型半導体の裏面に接触するドレイン電極とを有することを特徴とする請求項 5 に記載の縦型トレンチ MISFET。

【請求項 9】第一導電型ドレインドリフト領域が不純物拡散層からなることを特徴とする請求項 1 ないし 4 のいずれかに記載の縦型トレンチ MISFET。

【請求項 10】第二導電型側壁領域が不純物拡散層からなることを特徴とする請求項 5 ないし 8 のいずれかに記載の縦型トレンチ MISFET。

【請求項 11】不純物拡散層からなる第一導電型ドレインドリフト領域を、トレンチ内面への斜めイオン注入および熱処理により形成することを特徴とする請求項 9 に記載の縦型トレンチ MISFET の製造方法。

【請求項 12】不純物拡散層からなる第二導電型側壁領域を、トレンチ内面への斜めイオン注入および熱処理により形成することを特徴とする請求項 10 に記載の縦型トレンチ MISFET の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば、電子機器に内蔵される電源やモーター駆動用電源等に使用されるトレンチを有する高耐圧、低オン電圧の縦型 MISFET (金属-絶縁膜-半導体構造の電界効果トランジスタ) およびその製造方法に関する。

【0002】

【従来の技術】 MISFET の一つであるパワー MOS

4

FET (金属-酸化膜-半導体構造の電界効果トランジスタ) は電力用半導体装置の中でも低損失、高速スイッチングを特長としている。しかし、少数キャリアの注入による伝導度変調のない単一キャリア (電子または正孔) 素子であるため、オン抵抗の低減が課題である。一方、半導体表面に溝 (トレンチ) を形成する技術は、半導体素子のオン抵抗の低減を目的とする場合を含めて、様々に適用されており、近年各種のトレンチを有する半導体素子構造が提案されている。

【0003】図 7 (a) に縦形 MOSFET の要部断面図を示す。図は MOSFET の単位のセルであって、実際の MOSFET は、このようなセルを反転、繰り返して多数並列に接続した構造として用いることが多い。また、図のトランジスタの部分は電流を流す活性領域であるが、実際の半導体素子では、この他に主として耐圧を分担する周辺部分が必要である。ここでは、周辺部分は一般の方式に従った構造とするので、記述を省略する。図において、 n^+ サブストレート 701 上に n エピタキシャル層からなる n ドレインドリフト領域 702 を積層した半導体基板の表面層に選択的に p ベース領域 703 が形成され、その p ベース領域 703 の表面層の一部に n^+ ソース領域 704 が形成されている。 n^+ ソース領域 704 と n ドレインドリフト領域 702 の表面露出部とに挟まれた p ベース領域 703 の表面上にゲート酸化膜 706 を介してゲート電極 707 が設けられ、 n^+ ソース領域 704 と p ベース領域 703 とに共通に接触するソース電極 708 が、 n^+ サブストレート 701 の裏面にはドレイン電極 709 がそれぞれ設けられている。この素子ではゲート電極 707 に正の電圧が印加されるとゲート電極 707 直下の p ベース領域 703 の表面層が n 型に反転し、 n^+ ソース領域 704 と n ドレインドリフト領域 702 との間が導通する。一方オフ状態においては、ゲート電圧はしきい値電圧以下であり、 p ベース領域 703 表面に反転チャネル層は形成されない。したがって、 p ベース領域 703 - n ドレインドリフト領域 702 間の $p-n$ 接合の両側に広がる空乏層で印加電圧を担う。

【0004】パワー MOSFET は図に示す構造を基本セルとし、数 100 万個のオーダーでチップ内に集積して、低オン抵抗を実現している。パワー MOSFET の性能の指標として、単位面積当たりのオン抵抗 ($R_{on} \cdot A$) と耐圧があり、耐圧一定の場合、 $R_{on} \cdot A$ が小さいほどチップサイズが小さくなり、したがって低コストで製造可能となる。

【0005】図 7 (b) は図 7 (a) のパワー MOSFET のオン抵抗の内訳を示す説明図である。オン抵抗は、ソース電極 708 と n^+ ソース領域 704 との間の接触抵抗 (R_{cnt})、ゲート電極 707 直下の p ベース領域 703 の表面層に形成されたチャネル内のチャネル抵抗 (R_{ch})、空乏層によって電流通路が狭められることによる

5

J F E T 抵抗 (R_{jfet}) および n ドレインドリフト領域 702 内での抵抗 (R_{drift}) の和で構成される。

【0006】特に、n ドレインドリフト領域 702 の比抵抗および厚さは耐圧とドリフト領域の抵抗 (R_{drift}) を決める重要なパラメータである。図 7 (a) に示す構造では、素子の耐圧クラスにより最適な n ドレインドリフト領域 702 の比抵抗と厚さが決まる [例えば、A. S. Grove: Physics and Technology of Semiconductor Devices, John Wiley & Sons p. 197, Fig. 6.31 参照]。例えば、60V クラスでは n ドレインドリフト領域 702 の比抵抗は 0.8 Ω・cm、厚さは 6.5 μm となる。また、耐圧を決める実効 n エピタキシャル層厚さ (W_{eff}) は約 6 μm である。素子耐圧は深さ方向の p ベース領域 703 - n ドレインドリフト領域 702 - n⁺ サブストレート 701 のダイオードの耐圧にほぼ一致し、主に深さ方向の構造で決定される。

【0007】次に図 8 (a) に従来の別の MOSFET の要部断面図を示す。図 7 と同様に図 8 は MOSFET の単位のセルである。図において、n⁺ サブストレート 801 上に n ドレインドリフト領域 (n エピタキシャル層) 802 を積層した半導体基板の表面層に p ベース層 803 が形成され、その p ベース層 803 の表面から n ドレインドリフト領域 802 に達するトレンチ 809 が形成されている。p ベース層 803 の表面層の一部に n⁺ ソース領域 804 が形成されている。トレンチ 805 層の内部には、ゲート酸化膜 806 を介してゲート電極 806 が設けられ、n⁺ ソース領域 804 と p ベース領域 803 との表面上に共通に接触するソース電極 808 が、n⁺ サブストレート 801 の裏面にはドレイン電極 809 がそれぞれ設けられている。この素子ではゲート電極 807 に正の電圧が印加されるとゲート電極 807 の横の p ベース層 803 の表面層が n 型に反転し、n⁺ ソース領域 804 と n ドレインドリフト領域 802 との間が導通する。一方オフ状態においては、ゲート電圧はしきい値電圧以下であり、p ベース層 803 表面に反転チャネル層は形成されない。したがって、p ベース層 803 - n ドレインドリフト領域 802 間の p n 接合の両側に広がる空乏層で印加電圧を担う。

【0008】図 8 (b) は図 8 (a) のパワー MOSFET のオン抵抗の内訳を示す説明図である。オン抵抗は、ソース電極 808 と n⁺ ソース領域 804 との間の接触抵抗 (R_{cnt})、ゲート電極 807 に対向する p ベース領域 803 の表面層に形成されたチャネル内のチャネル抵抗 (R_{ch})、および n ドレインドリフト領域 702 内での抵抗 (R_{drift}) の和で構成される。図 8 の MOSFET ではトレンチ 805 を有し、図 7 の第一の従来例と比較して、R_{jfet} が存在しない分、低オン抵抗化が可能となる。また、図 7 の第一の従来例に比べ、チャネル領域が縦方向に形成されるので、集積度を高められることも低オン抵抗化につながる。

6

【0009】例えば 60V クラスでは図 8 の第一の従来例同様 n ドレインドリフト領域 802 の比抵抗は 0.8 Ω・cm、厚さは 6.5 μm となる。また、耐圧を決める実効エピタキシャル層 (W_{eff}) は約 6 μm である。

【0010】

【発明が解決しようとする課題】図 7 の第一の従来例の構造では、近年の微細加工技術により、基本セルサイズは大幅に縮小し、その結果、R_{cnt}、R_{ch}、R_{jfet} は、素子全体として大幅に減少した。現在 60V クラスのパワー MOSFET においては、オン抵抗 (R_{on}*A) は 1.5 mΩ・cm² で、このうち n ドレインドリフト領域 702 の抵抗分は約 3 分の 1 で約 0.5 mΩ・cm² である。しかし、R_{drift} に関しては、従来の素子構造をとっているため、依然として低減できていない。

【0011】また、図 8 の第二の従来例の構造では、オン抵抗 (R_{on}*A) は 1.0 mΩ・cm² であり、このうち n ドレインドリフト領域 802 の抵抗分 (R_{drift}) は約 2 分の 1 で約 0.5 mΩ・cm² である。今後さらに微細加工技術が進歩しても、いずれの構造にしる従来構造をとる限り、このエピタキシャル層すなわち n ドレインドリフト領域の抵抗分 (R_{drift}) は低減できないことになる。

【0012】以上の問題に鑑み本発明の目的は、オン抵抗、特にそのドリフト領域の抵抗分 (R_{drift}) の低いパワー MOSFET を提供することにある。また、素子オン抵抗の温度特性を改良し、高温でのオン抵抗増大を抑えることにある。

【0013】

【課題を解決するための手段】上記の課題解決のため本発明は、第一導電型半導体上に第二導電型不純物層を持つ半導体基板の表面から設けられた第一導電型半導体に達するトレンチと、残された島部の上部に形成された第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に形成された第一導電型ソース領域と、第二導電型ベース領域の露出表面上にゲート酸化膜を介して設けられたゲート電極と、第一導電型ソース領域と第二導電型ベース領域の表面に共通に接触するソース電極と、第一導電型半導体の裏面に接触するドレイン電極とを有する縦型トレンチ MISFET において、トレンチの側壁表面層に、拡散型接合を仮定した場合の降伏電圧が素子耐圧とほぼ等しくなる不純物濃度より高不純物濃度の第一導電型ドレインドリフト領域を有するものとする。

【0014】例えば、第一導電型半導体の表面上に形成された第二導電型不純物層と、その第二導電型不純物層の上に形成された第二導電型不純物層より不純物濃度の高い第二導電型ベース層と、その第二導電型ベース層の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から設けられた第一導電

7

・型半導体に達するトレンチと、そのトレンチ内面に露出した第二導電型不純物層の表面層に形成された第一導電型ドレインドリフト領域と、トレンチの内面に露出した第二導電型ベース層の表面に対向してゲート絶縁膜を介してトレンチ内に設けられたゲート電極と、トレンチ内のその他の部分を充填する酸化膜と、第一導電型ソース領域の表面と第二導電型ベース層の表面露出部とに共通に接触するソース電極と、第一導電型半導体の裏面に接触するドレイン電極とを有する縦型トレンチMISFETや、第一導電型半導体基板の表面上に形成された第二導電型不純物層と、その第二導電型不純物層の表面から設けられた第一導電型半導体基板に達するトレンチと、そのトレンチ内面に露出した第二導電型不純物層の表面層に形成された第一導電型側壁領域と、第二導電型不純物層の表面層と第一導電型側壁領域の表面層の一部にわたって形成された第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に形成された第一導電型ソース領域と、第一導電型ソース領域と第一導電型側壁領域に挟まれた第二導電型ベース領域の表面上にゲート絶縁膜を介して形成されたゲート電極と、第一導電型ソース領域の表面と第二導電型ベース領域の表面露出部とに共通に接触するソース電極と、第一導電型半導体基板の裏面に接触するドレイン電極と、トレンチ内のその他の部分を充填する酸化膜とを有する縦型トレンチMISFETや、或いは、第一導電型半導体基板の表面上に形成された第二導電型不純物層と、その第二導電型不純物層の上に形成された第一導電型不純物層と、その第一導電型不純物層の表面層の一部に形成された第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に形成された第一導電型ソース領域と、第一導電型ソース領域の表面から設けられた第一導電型半導体基板に達するトレンチと、そのトレンチ内面に露出した第二導電型不純物層の表面層に形成された第一導電型側壁領域と、第一導電型ソース領域と第一導電型不純物層に挟まれた第二導電型ベース領域の表面上にゲート絶縁膜を介して形成されたゲート電極と、トレンチ内面に露出した第二導電型ベース領域の表面および第一導電型ソース領域の表面に共通に接触するソース電極と、トレンチ内のその他の部分を充填する酸化膜と、第一導電型半導体基板の裏面に接触するドレイン電極とを有する縦型トレンチMISFETとすることができる。

【0015】また、第一導電型半導体上に第一導電型不純物層を持つ半導体基板の表面から設けられた第一導電型半導体に達するトレンチと、残された島部の上部に形成された第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に形成された第一導電型ソース領域と、第二導電型ベース領域の露出表面上にゲート酸化膜を介して設けられたゲート電極と、第一導電型ソース領域と第二導電型ベース領域の表面に共通に接触するソース電極と、第一導電型半導体の裏面に接触するドレイン電極とを有する縦型トレンチMISFETにおいて、

8

トレンチの側壁表面層に、第二導電型側壁領域を有し、第一導電型不純物層の不純物濃度が、拡散型接合を仮定した場合の降伏電圧が素子耐圧とほぼ等しくなる不純物濃度より高不純物濃度であるものでもよい。

【0016】例えば、第一導電型半導体の表面上に形成された第一導電型ドレインドリフト層と、その第一導電型ドレインドリフト層の上に形成された第二導電型ベース層と、その第二導電型ベース層の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から設けられた第一導電型半導体に達するトレンチと、そのトレンチ内面に露出した第一導電型ドレインドリフト層の下部の表面層に形成された第二導電型側壁領域と、トレンチ内面に露出した第一導電型ドレインドリフト層の上部の表面とトレンチの内面に露出した第二導電型ベース層の表面とに対向してゲート絶縁膜を介してトレンチ内に設けられたゲート電極と、トレンチ内のその他の部分を充填する酸化膜と、第一導電型ソース領域の表面と第二導電型ベース層の表面露出部とに共通に接触するソース電極と、第一導電型半導体の裏面に接触するドレイン電極とを有する縦型トレンチMISFETや、第一導電型半導体の表面上に形成された第一導電型不純物層と、その第一導電型不純物層の表面層の一部に形成された第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に形成された第一導電型ソース領域と、その第一導電型不純物層の表面から設けられた第一導電型半導体に達するトレンチと、そのトレンチ内面に露出した第一導電型不純物層の露出表面層に形成された第二導電型側壁領域と、第一導電型ソース領域と第一導電型不純物層に挟まれた第二導電型ベース領域の表面上にゲート絶縁膜を介して形成されたゲート電極と、第一導電型ソース領域の表面と第二導電型ベース領域の表面露出部とに共通に接触するソース電極と、第一導電型半導体の裏面に接触するドレイン電極と、トレンチ内のその他の部分を充填する酸化膜とを有する縦型トレンチMISFET、或いは、第一導電型半導体の表面上に形成された第一導電型不純物層と、その第一導電型不純物層の表面層の一部に形成された第二導電型ベース領域と、その第二導電型ベース領域の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から設けられた第一導電型半導体に達するトレンチと、そのトレンチ内面に露出した第一導電型不純物層の表面層に形成された第二導電型側壁領域と、第一導電型ソース領域と第一導電型不純物層に挟まれた第二導電型ベース領域の表面上にゲート絶縁膜を介して形成されたゲート電極と、トレンチ内面に露出した第二導電型ベース領域の表面および第一導電型ソース領域の表面に共通に接触するソース電極と、トレンチ内のその他の部分を充填する酸化膜と、第一導電型半導体の裏面に接触するドレイン電極とを有する縦型トレンチMISF

9

ETとすることができる。

【0017】特に、トレンチ内壁表面層の第一導電型ドレインドリフト領域或いは、第二導電型側壁領域が不純物拡散層からなることがよい。そして、上記のような縦型トレンチMISFETの製造方法としては、トレンチ内壁表面層の第一導電型ドレインドリフト領域或いは、第二導電型側壁領域を、トレンチ内面への斜めイオン注入および熱処理により形成するものとする。

【0018】

【作用】上記の手段を講じ、トレンチの側壁表面層に、
拡散型接合を仮定した場合の降伏電圧が素子耐圧とほぼ等しくなる不純物濃度より高不純物濃度の厚さの薄い第一導電型ドレインドリフト領域を形成することによって、素子耐圧より低い電圧で第一導電型ドレインドリフト領域および第二導電型領域に空乏層が充満して、この両領域の正・負の固定電荷がバランスし、電界緩和を行い高耐圧を実現し、かつ、高不純物濃度の第一導電型ドレインドリフト領域のため、オン抵抗の低い縦型トレンチMISFETとすることができる。

【0019】また、トレンチの側壁表面層に、第二導電型側壁領域を有し、第一導電型不純物層の不純物濃度が、拡散型接合を仮定した場合の降伏電圧が素子耐圧とほぼ等しくなる不純物濃度より高不純物濃度とすることによって、素子耐圧より低い電圧で第一導電型ドレインドリフト領域および第二導電型側壁領域に空乏層が充満して、この両領域の正・負の固定電荷がバランスし、電界緩和を行い高耐圧を実現し、かつ、高不純物濃度の第一導電型ドレインドリフト領域のため、オン抵抗の低い縦型トレンチMISFETとすることができる。

【0020】また、ドレインドリフト領域を高濃度化することによって、この領域のオン抵抗の温度依存性を小さくし、高温での素子のオン抵抗増大を抑えることができる。特に、トレンチ内壁表面層の第一導電型ドレインドリフト領域或いは、第二導電型側壁領域が不純物拡散層からなるものとするれば、高不純物濃度の領域が容易に形成できる。

【0021】そして、上記のような縦型トレンチMISFETの製造方法としては、トレンチ内壁表面層の第一導電型ドレインドリフト領域或いは、第二導電型側壁領域を、トレンチ内面への斜めイオン注入および熱処理により形成すれば、微細な構造が形成できる。

【0022】

【実施例】以下図面を参照しながら、本発明の実施例について詳しく説明する。ここでは素子耐圧60VのMOSFETの場合を例に説明するが、本発明は素子耐圧30~1200V、出力電流1~100A程度のパワーMOSFETにも適用できる。

【0023】図1に本発明の第一の実施例の縦型MOSFETの要部のソース電極を除去した状態での斜視断面図を示す。ここでは、トレンチの半分を含む単位セルを

10

示している。実際の素子では、この単位セルを直線A-B、C-Dに関して反転・繰返しして多数のセルを並列接続したものとすることが多い。また、図のトランジスタの部分は電流を流す活性領域であるが、実際の半導体素子では、この他に主として耐圧を分担する周辺部分が必要である。ここでは、周辺部分は一般の方式に従った構造とするので、記述を省略する。

【0024】図1において、比抵抗 $1\text{m}\Omega\cdot\text{cm}$ の n^+ サブストレート101上に、比抵抗 $0.8\Omega\cdot\text{cm}$ 、厚さ(ta) $8\mu\text{m}$ のp型不純物層111を積層したエピタキシャル基板の表面層に、表面不純物濃度 $3.5\times 10^{17}\text{cm}^{-3}$ 、拡散深さ(te) $3.0\mu\text{m}$ のpベース領域103が形成され、その表面層の一部に表面不純物濃度 $2.0\times 10^{20}\text{cm}^{-3}$ 、拡散深さ(tg) $0.5\mu\text{m}$ の n^+ ソース領域104が形成されている。そのエピタキシャル基板の表面から、幅($2\times tc$) $1\mu\text{m}$ 、深さ(tb) $9\mu\text{m}$ のトレンチ105が形成され、トレンチ105の内面には、表面不純物濃度 $1.1\times 10^{17}\text{cm}^{-3}$ 、拡散深さ(td) $0.3\mu\text{m}$ のnドレインドリフト領域102が形成されている。トレンチ105の内部には、深さ(tf) $2.5\mu\text{m}$ のところまで酸化膜112が充填され、その上部には、多結晶シリコンからなるゲート電極107があって、厚さ50nmのゲート酸化膜106を介してpベース領域103の側面に対向している。ゲート電極107の上には、CVD酸化膜112および絶縁膜113が堆積されている。半導体基板の最上表面の n^+ ソース領域104が形成されていない部分には、高濃度の p^+ コンタクト領域110が形成され、 n^+ ソース領域104と p^+ コンタクト領域110との表面に共通に接触するソース電極108が設けられ、一方 n^+ サブストレート101の裏面にはドレイン電極109が設けられている。A-B線とC-D線との間の距離(T)は、このMOSFETの単位セルのハーフピッチであり、例えば $2\mu\text{m}$ である。このとき、thは $1.2\mu\text{m}$ となる。

【0025】図1の第一の実施例のMOSFETでは、ドレイン電極9とソース電極8間に電圧が印加されているとき、ゲート電極107にしきい値電圧以上の電圧が印加されると、ゲート電極107に面したpベース領域103の表面層にn型に反転したチャネルができ、ドレイン電極109とソース電極108との間が導通状態となる。この時ソース電極108から電子が n^+ ソース領域104→チャネル→nドレインドリフト領域102→ n^+ サブストレート101と流れドレイン電極109に到達する。

【0026】一方、オフ状態ではpベース領域103/nドレインドリフト領域102間、nドレインドリフト領域102/p型不純物層111間、およびp型不純物層111/ n^+ サブストレート101間のpn接合から空乏層が広がり、素子耐圧より低い電圧でnドレイン

11

・リフト領域 102, p 型不純物層 111 に空乏層が充満する。この両領域の正・負の固定電荷がバランスし、電界緩和を行い高耐圧を実現する。ここで、両領域の厚さ t_d および t_h はいずれも $0.1 \sim 2.0 \mu\text{m}$ の値で十分薄いため、 10^{17}cm^{-3} 以上の高濃度に設定しても空乏化できる。すなわち、高耐圧を維持しつつ、この単位ユニット内の n ドレインドリフト領域 102 のオン抵抗を低減できることを意味する。

【0027】例えば、図 1 の第一の実施例、および図 7、図 8 の従来の縦型 MOSFET において、単位ユニットのハーフピッチ T を $2 \mu\text{m}$ とすると、従来例においては、いずれも単位ユニット内の n 型ドレインドリフト領域の電荷は、n エピタキシャル層の n ドレインドリフト領域 702、802 の比抵抗が $0.8 \Omega \cdot \text{cm}$ の場合 $1.4 \times 10^{12} \text{cm}^{-2}$ となる。これはオン抵抗に換算すると $0.48 \text{m}\Omega \cdot \text{cm}^2$ となる。ところが、本発明による第一の実施例では、n ドレインドリフト領域 102 の電荷は $1.6 \times 10^{12} \text{cm}^{-2}$ であり、この領域の抵抗値 (R_{drift}) を約 12% 低減でき $0.43 \text{m}\Omega \cdot \text{cm}^2$ となる。

【0028】さらに、トレンチ幅 ($2 \times t_c$) およびハーフピッチ (T) を低減する微細化を行う場合、従来例ではドリフト領域の抵抗 (R_{drift}) の低減は期待できないが、本発明による第一の実施例では大幅なオン抵抗低減が可能となる。例えば、トレンチ幅 ($2 \times t_c$) を $0.5 \mu\text{m}$ 、素子ピッチ (T) を $1.5 \mu\text{m}$ とすると、n ドレインドリフト領域 102 の電荷は $1.6 \times 10^{12} \text{cm}^{-2}$ と先の例とほぼ等しい値を維持できるため、集積度が高まった分、n ドレインドリフト領域 102 の抵抗 (R_{drift}) は低減し $0.32 \text{m}\Omega \cdot \text{cm}^2$ となる。このように本発明によれば、本例で用いた微細加工ルールではもちろん、さらに微細化を進めるにつれて効果が顕著となる。特に図のように、島部 115 の奥行き方向で n+ ソース領域 104 の間に p+ コンタクト領域 110 を設ける構造は、島部 115 の幅を狭くでき、集積度を高めるのに適した構造である。

【0029】また、温度特性に関し、従来例のドレインドリフト領域の比抵抗は $0.8 \Omega \cdot \text{cm}$ でありこれを不純物濃度に換算すると $7.0 \times 10^{15} \text{cm}^{-3}$ となる。これに対し、本発明によればこの領域の最大不純物濃度は、先に述べたように約 10 倍以上となり、 10^{17}cm^{-3} 以上の領域を設けることができる。高不純物濃度を有する半導体のオン抵抗の温度特性が小さいことは知られており、素子全体として、オン抵抗の温度特性の改善が期待できる。図 8 に示す従来構造の素子では、室温に対し 150°C でオン抵抗が約 2.2 倍になるのに対し、本発明によれば、約 1.6~2 倍程度に抑えられる。

【0030】また、同一のオン抵抗を実現する場合、従来に比べチップサイズが低減できるため、ゲート面積、各接合面積が低減する。この結果、寄生容量が低減し、

12

スイッチング損失が低減するという効果も得られる。図 9 (a) ないし (c) および図 10 (a) ないし (c) に図 1 の第一の実施例の縦型トレンチ MOSFET の製造方法を説明するための工程順の断面図を示す。比抵抗 $1 \text{m}\Omega \cdot \text{cm}$ の n+ サブストレート 101 上に比抵抗 $0.8 \Omega \cdot \text{cm}$ の p 型不純物層 111 を厚さ $8 \mu\text{m}$ (t_a) エピタキシャル成長させる。さらに酸化膜 901 を形成し、フォトレジスト 902 を塗布して、トレンチ 105 形成のためのパターニングを行う。続いて四塩化炭素と酸素との混合ガスを用い、RIE (反応性イオンエッチング) 法により、異方性エッチングを行いトレンチ 105 を形成する。ここで、トレンチ 105 の寸法は深さ $9 \mu\text{m}$ (t_b)、幅 $1 \mu\text{m}$ ($2 t_c$) である [図 9 (a)]。

【0031】この後、砒素イオン 903 の斜めイオン注入と、熱処理を行い n ドレインドリフト領域 102 を形成する [同図 (b)]。この拡散層の深さは $0.3 \mu\text{m}$ (t_d)、表面濃度は $1.1 \times 10^{17} \text{cm}^{-3}$ とする。次に減圧 CVD 法により、シリコン酸化膜を堆積して、トレンチ 105 を酸化膜 112 で充填し平坦化する。この後島部 115 の上表面からホウ素のイオン注入により p ベース領域 103 を拡散深さ (t_e) $2 \mu\text{m}$ となるように形成する [同図 (c)]。表面不純物濃度は約 $3.5 \times 10^{17} \text{cm}^{-3}$ である。

【0032】さらにトレンチ 105 内の酸化膜 112 を $2.5 \mu\text{m}$ の深さ (t_f) までエッチングし、p ベース領域 103 の側壁表面を露出し、熱酸化法によりゲート酸化膜 106 を厚さ 50nm 形成する。続いて減圧 CVD 法により多結晶シリコンをトレンチ 105 内の酸化膜 112 上に充填し、パターニングおよびエッチングによりゲート電極 107 を形成する [図 10 (a)]。このゲート電極 107 は活性領域の外部で、隣接ユニット間で接続され、素子全体としてのゲート電極となる。

【0033】次に島部 115 の上表面から砒素イオンの注入および熱処理により n+ ソース領域 104 を形成する。この拡散層の深さ (t_g) は $0.5 \mu\text{m}$ 、表面濃度は $2.0 \times 10^{20} \text{cm}^{-3}$ である。なお、n+ ソース領域 104 の下の p ベース領域 103 の最高濃度濃度は $3.0 \times 10^{17} \text{cm}^{-3}$ である。この濃度で、MOSFET のしきい値電圧が決まり、上の値の場合はしきい値は約 1V となる。この時パターニングにより、図の奥行き方向に n+ ソース領域 104 の非形成領域を設け、図示されていないがここに p+ コンタクト領域を形成する [同図 (b)]。

【0034】次に絶縁膜 113 を形成し、コンタクト窓開けを行い、ソース電極 108 を形成して n+ ソース領域 104 および p+ コンタクト領域 110 との接触をとる。その後、パシベーション工程を施し、ウェハを裏面研磨で薄くし、蒸着法により裏面のドレイン電極 109 を形成しウェハ工程を終了する [同図 (c)]。図 2

13

～6に本発明の第二から六の実施例を示す。設計の方針は前例と同様である。

【0035】図2に本発明の第二の実施例のMOSFETの要部のソース電極を除去した斜視断面図を示す。この例では、 n^+ サブストレータ201上に、 p 型半導体層をエピタキシャル成長して、 p 型不純物層211を形成したエピタキシャル基板に、表面からトレンチ205を形成し、そのトレンチ205の内壁に砒素を斜めイオン注入し、熱処理して n ドレインドリフト領域202を形成している点は、第一の実施例と同じである。しかし、トレンチ205の形成で残った島部215の上表面層に、トレンチ205の端から少し離してしかも n ドレインドリフト領域202にかかるように、選択的に p ベース領域203を形成し、その p ベース領域203の表面層に n ソース領域204が形成されている。 n ソース領域204と n ドレインドリフト領域202に挟まれた p ベース領域203の表面上にゲート酸化膜206を介して多結晶シリコンからなるゲート電極207が設けられている。 p ベース領域203の表面の n^+ ソース領域204が形成されていない部分には、高濃度の p^+ コンタクト領域210が形成され、 n^+ ソース領域204と p^+ コンタクト領域210との表面に共通に接触するソース電極が設けられ、 n^+ サブストレータ201の裏面にはドレイン電極209が設けられている。A-B線とC-D線との間の距離(T)は、このMOSFETの単位セルのハーフピッチであり、例えば $2\mu m$ である。トレンチ205内には酸化膜212を充填し、その上に図のようにゲート電極207を延長することもできる。

【0036】この第二の実施例においても、素子耐圧より低い電圧で n ドレインドリフト領域202、 p 型不純物層211に空乏層が充填する。この両領域の正・負の固定電荷がバランスし、電界緩和を行い高耐圧を実現する。両領域の厚さ t_d および t_h はいずれも十分薄いため、 $10^{17}cm^{-3}$ 以上の高濃度に設定しても空乏化できる。すなわち、高耐圧を維持しつつ、この単位ユニット内の n ドレインドリフト領域202のオン抵抗を低減できる。このように、オン抵抗の温度依存性や、スイッチング損失に関しても図1の第一の実施例と同じ効果が得られることは言うまでもない。しかもゲート電極207がトレンチ205内ではなく、島部215の表面上に設けられているので、製造が容易である。また、図のようにゲート電極207が、トレンチ205と p ベース領域203間の n ドレインドリフト領域の上にまで延びていると、電圧印加時にフィールドプレート効果により、空乏層の広がりをもたすので、一層高耐圧化が期待できる。図3に本発明の第三の実施例のMOSFETの要部断面図を示す。この例では、 n^+ サブストレータ301上に、 p 型半導体層および n 型半導体層をエピタキシャル成長して、 p 型不純物層311および n 型不純物層314を形成したエピタキシャル基板の表面層に、選択的に

14

p ベース領域303を形成し、その p ベース領域303の表面層に n^+ ソース領域304が形成されている。 n^+ ソース領域304の表面から n^+ サブストレータ301に達するトレンチ305を形成し、そのトレンチ305の内壁の下部に砒素を斜めイオン注入し、熱処理して n ドレインドリフト領域302を形成している。 n^+ ソース領域304と n 型不純物層314に挟まれた p ベース領域303の表面上にゲート酸化膜306を介して多結晶シリコンからなるゲート電極307が設けられている。トレンチ305ら内壁に露出した n^+ ソース領域304と p ベース領域303の表面に共通に接触するソース電極308が設けられ、 n^+ サブストレータ301の裏面にはドレイン電極309が設けられている。ゲート電極307の上部および側部はPSG等の絶縁膜313で覆われ、ソース電極と絶縁されている。A-B線とC-D線との間の距離は、このMOSFETの単位セルのハーフピッチであり、例えば $2\mu m$ である。トレンチ305内には酸化膜312が充填されている。

【0037】この第三の実施例においても、素子耐圧より低い電圧で n ドレインドリフト領域302、 p 型不純物層311に空乏層が充填する。この両領域の正・負の固定電荷がバランスし、電界緩和を行い高耐圧を実現する。両領域の厚さ t_d および t_h はいずれも十分薄いため、 n ドレインドリフト領域302を $10^{17}cm^{-3}$ 以上の高濃度に設定しても空乏化できる。すなわち、高耐圧を維持しつつ、この単位ユニット内の n ドレインドリフト領域302のオン抵抗を低減できる。

【0038】図3の第三の実施例では、ソース電極308の n ソース領域304への接触がトレンチ305の内面でなされているので、集積度を一層高められる構造である。また、図のようにゲート電極307が、 p ベース領域203に挟まれた n ドレインドリフト領域302の表面露出部の上にまで延びていると、電圧印加時にフィールドプレート効果により、空乏層の広がりをもたすので、一層高耐圧化が期待できる。

【0039】図4に本発明の第四の実施例のMOSFETの要部のソース電極を除去した斜視断面図を示す。この例では、 n^+ サブストレータ401上に、 n 型半導体層をエピタキシャル成長して、 n ドレインドリフト領域402としている。 n ドレインドリフト領域402の表面層に p ベース領域403、その表面層の一部に n^+ ソース領域404が形成されている。 n^+ ソース領域404の表面から n^+ サブストレータ401に達するトレンチ405を形成し、そのトレンチ405の内壁の下部にホウ素を斜めイオン注入し、熱処理して p 側壁領域416を形成している。トレンチ405の内部には、底面からほぼ p 側壁領域416の上端の深さまで酸化膜412が充填され、その上部には、多結晶シリコンからなるゲート電極407があって、厚さ $50nm$ のゲート酸化膜406を介して p ベース領域403の側面に対向し

15

ている。ゲート電極 407 の上には、酸化膜 412 および絶縁膜 413 が堆積されている。半導体基板の最上表面の n^+ ソース領域 404 が形成されていない部分には、高濃度の p^+ コンタクト領域 410 が形成され、 n^+ ソース領域 404 と p^+ コンタクト領域 410 との表面に共通に接触するソース電極が設けられ、 n^+ サブストレート 401 の裏面にはドレイン電極 409 が設けられている。A-B 線と C-D 線との間の距離は、この MOSFET の単位セルのハーフピッチであり、例えば $2\mu\text{m}$ である。

【0040】この第四の実施例においても、素子耐圧より低い電圧で n ドレインドリフト領域 402、 p 側壁領域 416 に空乏層が充満する。この両領域の正・負の固定電荷がバランスし、電界緩和を行い高耐圧を実現する。両領域の厚さ t_d および t_h はいずれも十分薄いため、 10^{17}cm^{-3} 以上の高濃度に設定しても空乏化できる。すなわち、高耐圧を維持しつつ、この単位ユニット内の n ドレインドリフト領域 402 のオン抵抗を低減できる。

【0041】図 5 に本発明の第五の実施例の MOSFET の要部のソース電極を除去した斜視断面図を示す。この例では、 n^+ サブストレート 501 上に、 n 型半導体層をエピタキシャル成長して、 n ドレインドレイン領域 502 としている。 n ドレインドレイン領域 502 の表面から n^+ サブストレート 501 に達するトレンチ 505 を形成し、そのトレンチ 505 の内壁にホウ素を斜めイオン注入し、熱処理して p 側壁領域 516 を形成している。そして、トレンチ 505 の形成で残った島部分 515 の上表面層に、 p 側壁領域 516 から少し離して、選択的に p ベース領域 503 が形成され、その p ベース領域 503 の表面層の一部に n^+ ソース領域 504 が形成されている。 n^+ ソース領域 504 と n ドレインドリフト領域 502 に挟まれた p ベース領域 503 の表面上にゲート酸化膜 506 を介して多結晶シリコンからなるゲート電極 507 が設けられている。 p ベース領域 503 の表面の n^+ ソース領域 504 が形成されていない部分には、高濃度の p^+ コンタクト領域 510 が形成され、 n^+ ソース領域 504 と p^+ コンタクト領域 510 との表面に共通に接触するソース電極が設けられ、 n^+ サブストレート 501 の裏面にはドレイン電極 509 が設けられている。A-B 線と C-D 線との間の距離は、この MOSFET の単位セルのハーフピッチであり、例えば $2\mu\text{m}$ である。トレンチ 505 内には酸化膜 512 が充填され、その上に図のようにゲート電極 507 を延長することもできる。

【0042】この第五の実施例においても、素子耐圧より低い電圧で n ドレインドリフト領域 502、 p 側壁領域 516 に空乏層が充満する。この両領域の正・負の固定電荷がバランスし、電界緩和を行い高耐圧を実現する。両領域の厚さ t_d および t_h はいずれも十分薄いた

16

め、 10^{17}cm^{-3} 以上の高濃度に設定しても空乏化できる。すなわち、高耐圧を維持しつつ、この単位ユニット内の n ドレインドリフト領域 502 のオン抵抗を低減できる。

【0043】図 6 に本発明の第六の実施例の MOSFET の要部断面図を示す。この例では、 n^+ サブストレート 601 上に、 n 型半導体層をエピタキシャル成長して、 n ドレインドリフト領域 602 としている。その n ドレインドリフト領域 602 の表面層に、選択的に p ベース領域 603 を形成し、その p ベース領域 603 の表面層に n^+ ソース領域 604 が形成されている。 n^+ ソース領域 604 の表面から n^+ サブストレート 601 に達するトレンチ 605 を形成し、そのトレンチ 605 の内壁にホウ素を斜めイオン注入し、熱処理して p 側壁領域 616 が形成されている。 n^+ ソース領域 604 と n ドレインドリフト領域 602 に挟まれた p ベース領域 603 の表面上にゲート酸化膜 606 を介して多結晶シリコンからなるゲート電極 607 が設けられている。トレンチ 605 の内壁に露出した n^+ ソース領域 604 と p ベース領域 603 の表面に共通に接触するソース電極 608 が設けられ、 n^+ サブストレート 601 の裏面にはドレイン電極 609 が設けられている。トレンチ 605 内には酸化膜 613 が充填されている。A-B 線と C-D 線との間の距離は、この MOSFET の単位セルのハーフピッチであり、例えば $2\mu\text{m}$ である。

【0044】この第六の実施例においても、素子耐圧より低い電圧で n ドレインドリフト領域 602、 p 側壁領域 616 に空乏層が充満する。この両領域の正・負の固定電荷がバランスし、電界緩和を行い高耐圧を実現する。両領域の厚さ t_d および t_h はいずれも十分薄いため、 n ドレインドリフト領域 602 を 10^{17}cm^{-3} 以上の高濃度に設定しても空乏化できる。すなわち、高耐圧を維持しつつ、この単位ユニット内の n ドレインドリフト領域 602 のオン抵抗を低減できる。

【0045】図 6 の第六の実施例では、ソース電極 608 の n^+ ソース領域 604 への接触がトレンチ 605 の内面でなされているので、集積度を一層高められる構造である。本発明の第一ないし第六の実施例の製造方法として、トレンチの内側面に形成する n ドレインドリフト領域或いは p 側壁領域を、トレンチ側壁からのイオン注入および熱処理により形成する方法以外に、トレンチ内部への充填物質を介する方法がある。例えば充填物質に多結晶シリコンを用い、これにドーパされた不純物を再拡散し、側壁領域を形成する方法である。この場合、充填された多結晶シリコンは再びエッチングにより除去するか、または酸化により酸化膜にすればよい。

【0046】なお、これら六つの実施例で半導体領域の導電型を入れ換えることも可能である。また、ゲート絶縁膜は、酸化膜に限らないので、MIS ゲート構造を有する MISFET にも、本発明は適用できる。

17

【0047】

【発明の効果】以上述べたように、本発明の縦型トレンチMISFETにおいては、下記する効果が得られる。

①トレンチの側壁表面層に、拡散型接合を仮定した場合の降伏電圧が素子耐圧とほぼ等しくなる不純物濃度より高不純物濃度の厚さの薄い第一導電型ドレインドリフト領域を形成することによって、素子耐圧より低い電圧で第一導電型ドレインドリフト領域および第二導電型領域に空乏層が充満して、この両領域の正・負の固定電荷がバランスし、電界緩和を行い高耐圧を実現し、かつ、高不純物濃度の第一導電型ドレインドリフト領域のため、オン抵抗の低い縦型トレンチMISFETとすることができる。

【0048】または、トレンチの側壁表面層に、第二導電型側壁領域を有し、第一導電型不純物層の不純物濃度が、拡散型接合を仮定した場合の降伏電圧が素子耐圧とほぼ等しくなる不純物濃度より高不純物濃度とすることによって、素子耐圧より低い電圧で第一導電型ドレインドリフト領域および第二導電型側壁領域に空乏層が充満して、この両領域の正・負の固定電荷がバランスし、電界緩和を行い高耐圧を実現し、かつ、高不純物濃度の第一導電型ドレインドリフト領域のため、オン抵抗の低い縦型トレンチMISFETとすることができる。

【0049】②ドレインドリフト領域を高濃度化することによって、この領域のオン抵抗の温度依存性を小さくし、高温での素子のオン抵抗増大を抑えることができる。

③同一のオン抵抗を実現する場合、従来に比べチップサイズが低減できるため、ゲート面積、各接合面積が低減する。この結果、寄生容量が低減し、スイッチング損失が低減する。

【0050】④同一のオン抵抗を実現する場合、従来に比べチップサイズが低減でき、製造コストが低減できる。

【図面の簡単な説明】

【図1】本発明第一の実施例の縦型トレンチMOSFETの要部斜視断面図

【図2】本発明第二の実施例の縦型トレンチMOSFETの要部斜視断面図

【図3】本発明第三の実施例の縦型トレンチMOSFETの要部断面図

【図4】本発明第四の実施例の縦型トレンチMOSFETの要部斜視断面図

【図5】本発明第五の実施例の縦型トレンチMOSFETの要部斜視断面図

18

【図6】本発明第六の実施例の縦型トレンチMOSFETの要部断面図

【図7】(a)は従来の縦型MOSFETの断面図、(b)は(a)のMOSFETにおけるオン抵抗の内訳の説明図

【図8】(a)は従来の縦型トレンチMOSFETの断面図、(b)は(a)のMOSFETにおけるオン抵抗の内訳の説明図

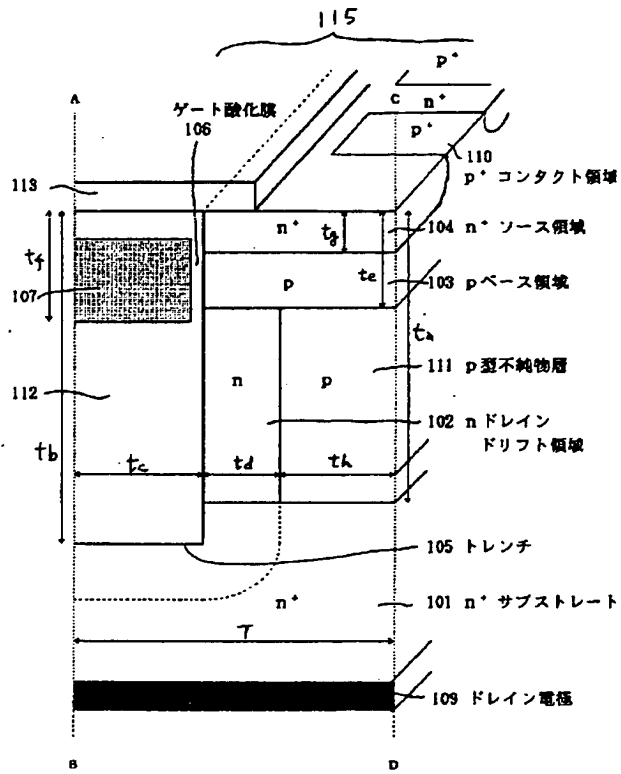
【図9】(a)ないし(c)は図1の第一の実施例の縦型トレンチMOSFETの製造方法を説明するための工程順の断面図

【図10】(a)ないし(c)は図9に続く図1の第一の実施例の縦型トレンチMOSFETの製造工程順の断面図

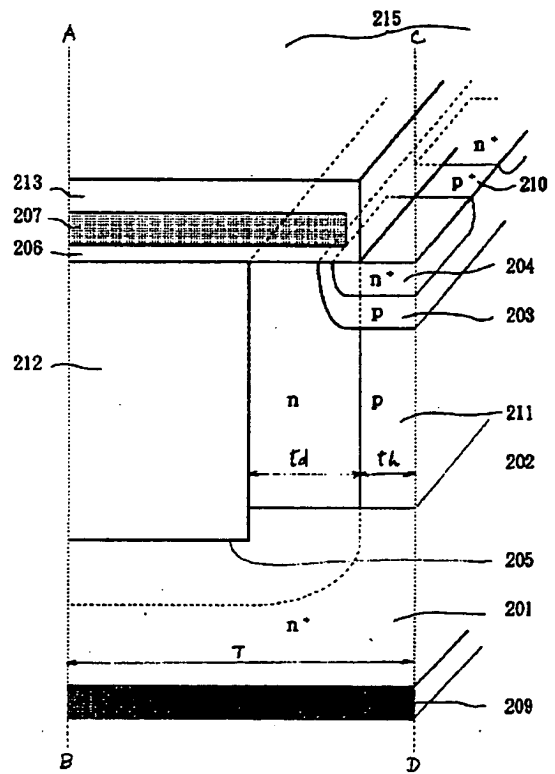
【符号の説明】

101, 201, 301, 401, 501, 601	
701, 801	n ⁺ サブストレート
102, 202, 302, 402, 502, 602	
702, 802	n ドレインドリフト領域
103, 203, 303, 403, 503, 603	
703, 803	p ベース層
104, 204, 304, 404, 504, 604	
704, 804	n ⁺ ソース領域
105, 205, 305, 405, 505, 605	
805	トレンチ
106, 206, 306, 406, 506, 606	
706, 806	ゲート酸化膜
107, 207, 307, 407, 507, 607	
707, 807	ゲート電極
308, 608, 708, 808	ソース電極
109, 209, 309, 409, 509, 609	
709, 809	ドレイン電極
110, 210, 410, 510	
p ⁺ コンタクト領域	
111, 211, 311	p 型不純物層
112, 212, 312, 412, 512, 612	酸化膜
113, 213, 313, 413, 513, 613	
813	絶縁膜
414, 514, 614	n 型不純物層
115, 215, 315, 415, 515, 615	島部
416, 516, 616	p 側壁領域
901	酸化膜
902	フォトリソスト
903	砒素イオン

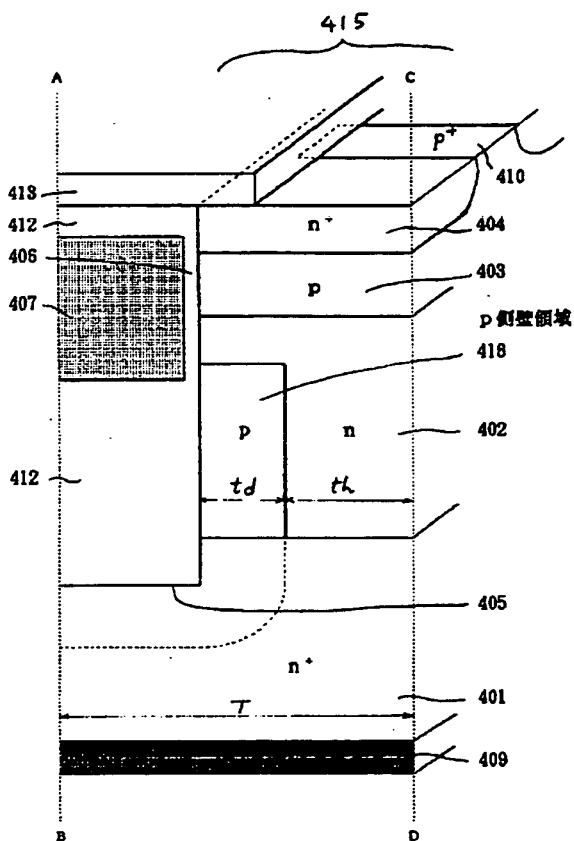
【図 1】



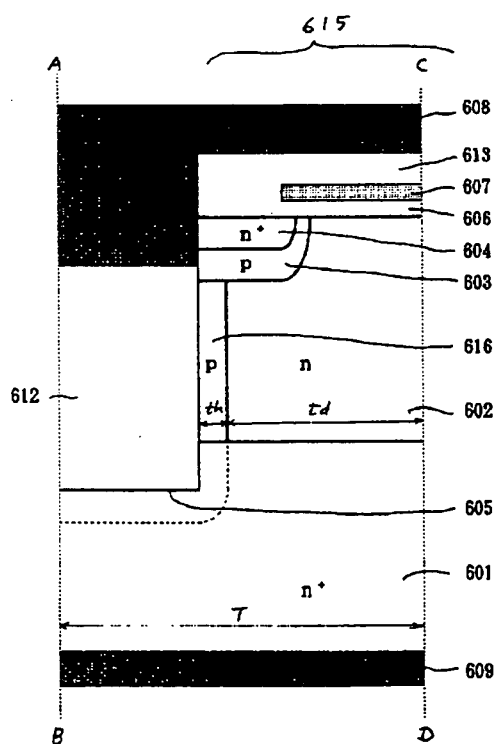
【図 2】



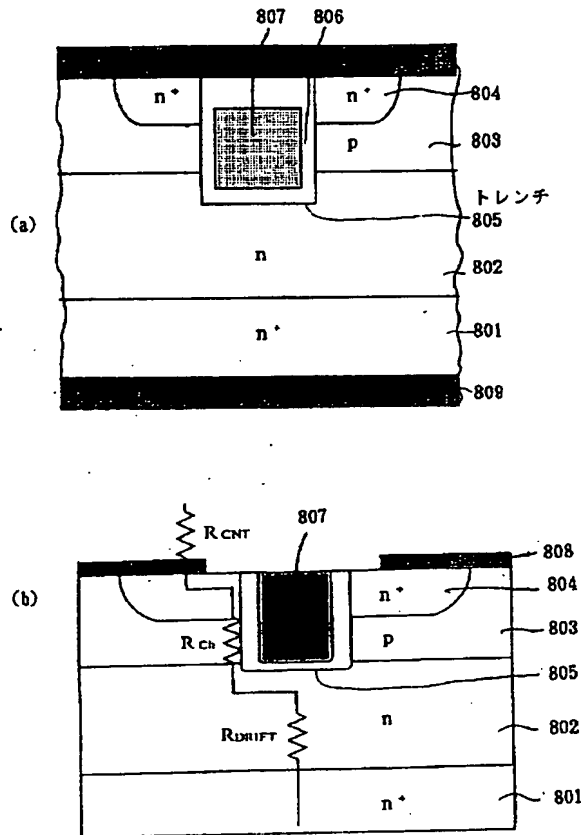
【図4】



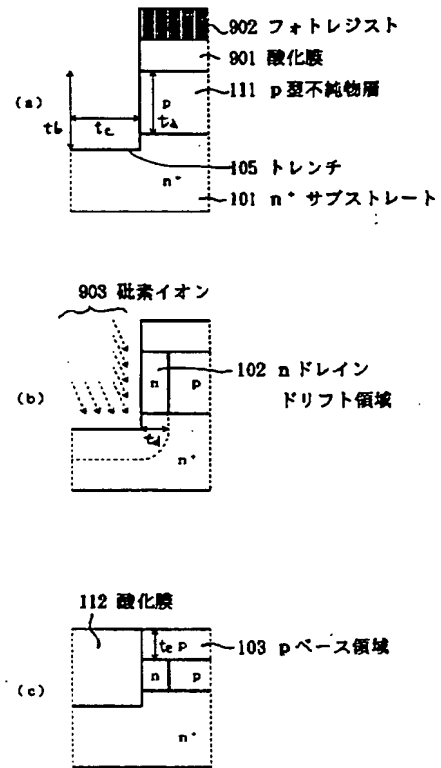
【図 6】



【図 8】



【図 9】



【図 10】

